

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-250228

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G06T 1/00

G06F 12/00

(21)Application number : 10-053083

(71)Applicant : HITACHI LTD
HITACHI ENG CO LTD

(22)Date of filing : 05.03.1998

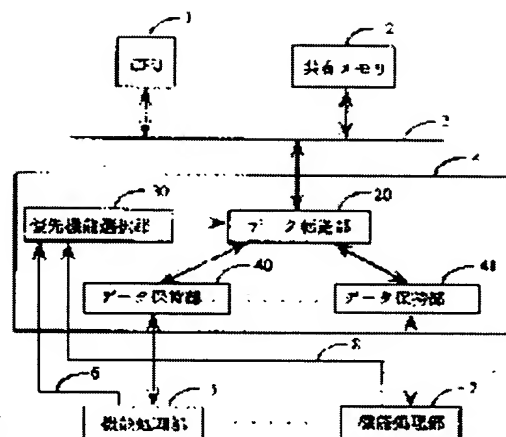
(72)Inventor : MURAMATSU SHOJI
KOBAYASHI YOSHIKI
HIROSE KENJI
SAKIMURA SHIGEHISA

(54) PICTURE PROCESSOR AND SYSTEM THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture processor and system in which plural picture processing functions can be processed in parallel by efficient memory access, and the picture processing can be attained at high speed.

SOLUTION: This system is provided with a data controlling part 4 equipped with a priority function selecting part 30 for selecting a function to be operated according to the priority order of functions, a data transferring part 20 for preferentially performing memory access necessary for the selected function, and plural data holding means 40 for holding the constant amounts of data for processing the function between plural function processing parts 5 and 7 for executing the function with a shared memory 2. The data controlling part 4 controls a CPU 1, shared memory 2, and bus 3 based on a request from each function processing part in a batch, and the function processing parts 5 and 7 independently transfer data with the data controlling part 4 so that the equipped functions can be processed in parallel with the other functions.



LEGAL STATUS

[Date of request for examination] 22.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-250228

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁸

G 0 6 T 1/00

G 0 6 F 12/00

識別記号

5 8 0

F I

G 0 6 F 15/66

12/00

J

5 8 0

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号

特願平10-53083

(22) 出願日

平成10年(1998) 3月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72) 発明者 村松 彰二

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 小林 芳樹

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

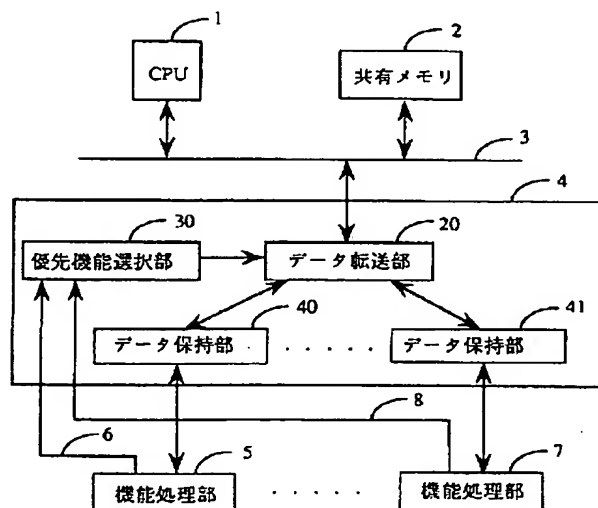
(54) 【発明の名称】 画像処理装置及び画像処理システム

(57) 【要約】

【課題】 効率的なメモリアクセスによって、複数の画像処理の機能を並列に処理することを可能とし、高速に画像処理を行うことのできる画像処理装置及びシステムを提供することにある。

【解決手段】 機能の優先度に従って動作する機能を選択する優先機能選択部30と、選択された機能が必要とするメモリアクセスを優先的に行うデータ転送部20と、機能を実行するためのデータを共有メモリ2と機能を実行する複数の機能処理部5、7との間で一定量保持する複数のデータ保持手段40とを備えるデータ制御部4を備え、データ制御部4は、各機能処理部からの要求に基づいてCPU1と共有メモリ2とのバス3の制御を一括して行い、機能処理部5、7は、データ制御部4に対して独立にデータのやり取りを行うことで、具備した機能を他の機能と並列に処理する。

図 1



【特許請求の範囲】

【請求項 1】CPU の主メモリと画像メモリとを共有メモリにより共有して複数の機能処理部により画像処理を実行する画像処理装置であって、前記機能処理部から要求された要求機能の優先度に応じて要求機能を選択する優先機能選択部と、該優先機能選択部により選択された機能が必要とする前記共有メモリへのメモリアクセスを優先的に行うデータ転送部と、機能を処理するためのデータを前記共有メモリと前記複数の機能処理部との間で一定量保持する複数のデータ保持部とからなるデータ制御部と、該データ制御部に対して独立にデータのやり取りを行い、自機能処理部の要求機能を他の機能処理部の要求機能と並列に処理する機能処理部と、を備えた画像処理装置。

【請求項 2】前記データ制御部は、バスを介して前記 CPU 及び前記共有メモリと接続され、該データ制御部におけるデータ転送部は、前記各機能処理部からの要求に基づいて、前記 CPU と前記共有メモリとのバスの制御を一括して行う機能を備えた請求項 1 記載の画像処理装置。

【請求項 3】前記データ保持部は、CPU とメモリとのバスのビット幅と画像処理を行う機能処理部とのビット幅を変換するビット幅変換機能を備え、バスとのデータの転送時にはバスと同一の動作クロックに同期してデータを転送し、前記機能処理部とのデータの転送時には前記機能処理部と同一の動作クロックに同期してデータを転送する請求項 2 記載の画像処理装置。

【請求項 4】前記データ制御部は、使用しているメモリのビット幅に応じて、複数の画像データを同時にアクセスし、処理に必要な画像データだけを機能処理部に供給する請求項 3 記載の画像処理装置。

【請求項 5】前記データ転送手段は、複数種類の画像データを順番にメモリから読み出し、それらの画像データを種類別に前記複数のデータ保持部に送信し、前記複数のデータ保持部は、前記データ転送手段から送信された画像データを記憶し、各データ保持部に対応して接続されている機能処理部との間で、他の機能処理部の処理とは独立して並列に画像データを供給し画像処理を行う請求項 2 記載の画像処理装置。

【請求項 6】前記機能処理部は、処理した処理結果を処理対象の画像データが機能処理部に供給されるのと並列に接続されているデータ保持部に記憶する請求項 5 記載の画像処理装置。

【請求項 7】前記データ制御部と前記複数の機能処理部とは単一のシリコンチップ上に集約した集積回路上に構成した請求項 1 記載の画像処理装置。

【請求項 8】CPU の主メモリと画像メモリとを共有メモリによって共有して、前記 CPU と前記共有メモリに画像処理プロセッサがバスを介して接続されている画像

処理システムであって、

画像処理を行うための映像の入力を行い、前記画像処理プロセッサに接続されている映像入力部と、前記 CPU の主メモリ及び前記映像入力部により入力された映像を記憶するメモリとを共有する共有メモリと、前記画像処理プロセッサ内に複数個配置されている機能処理部から要求された要求機能の優先度に応じて要求機能を選択する優先機能選択部と、該優先機能選択部により選択された機能が必要とする前記共有メモリへのメモリアクセスを優先的に行うデータ転送部と、機能を処理するためのデータを前記共有メモリと前記複数の機能処理部との間で一定量保持する複数のデータ保持部とからなるデータ制御部と、該データ制御部に対して独立にデータのやり取りを行い、自機能処理部の要求機能を他の機能処理部の要求機能と並列に処理する機能処理部とにより構成された画像処理プロセッサと、該画像処理プロセッサに接続され、該画像処理プロセッサにより処理された映像を出力する映像出力部と、前記 CPU 及び前記共有メモリと前記画像処理プロセッサとを接続するバスとにより構成される画像処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数の機能を処理する画像処理装置に関し、特に CPU の主メモリと画像メモリとを共有し、効率的に複数の機能を処理する画像処理装置及び画像処理システムに関する。

【0002】

【従来の技術】画像処理を高速に行う従来技術の構成として、図 2 の従来例 1 に示したように画像処理を行う画像処理部専用に複数の画像メモリを具備する方式がある。この方式によれば、画像処理を行う対象データを画像メモリから画像処理部に供給すると並行して、処理結果データを画像処理部から画像メモリに保持することが可能となり、高速に画像処理を行うことができる。このことは、画像処理部が映像を入出力する映像入出力部の場合でも、映像入力と映像出力とが画像メモリに並列にアクセスすることができるため、画像処理部と同じように高速に処理することができる。つまり、映像の画像データを入力すると並行して、画像データを映像出力として出力することができる。

【0003】次に、画像処理のシステムを小さくする従来技術の構成として、図 2 の従来例 2 に示したように CPU が使用するメモリと画像処理部により取り扱う画像メモリとを共有メモリを設けることにより共有する技術がある。この従来技術によれば、CPU が使用するメモリと画像メモリとを共有して使用するため、ハードウェアの物量の削減が可能で画像処理システム自体を小さくすることができる。また、バスの制御を行うことが可能な処理部であれば、その処理部をバスに接続することで

機能拡張を容易に実施することができる。

【0004】

【発明が解決しようとする課題】しかしながら、図2の従来例1では、画像処理を高速に行うため画像処理部が専用の画像メモリを複数個具備する構成のため、ハードウェアの物量が大きくなってしまふ。また、CPUから画像メモリ中のデータにアクセスする場合、画像処理部を介さなければ画像メモリ中のデータにアクセスすることができず、アクセス時にオーバヘッドが発生してしまふ。このオーバヘッドにより、従来例1の技術においては、CPUから画像メモリへ高速にアクセスすることができない。また、図2の画像処理システムを小さくする従来例2では、CPUと画像処理関連の機能とが共有メモリによってメモリを共有するため、図中のバス2の負荷が大きくなることが問題であった。例えば、画像データの演算処理と映像の入出力処理とを並行して行う場合、画像演算処理を行う画像データと映像データとがバス2を介してメモリにアクセスされるため、画像処理用の専用メモリを具備した構成よりもバス2の負荷が大きくなる。つまり、従来例2の構成ではバスの調停処理が必要となるため、画像処理部や映像入出力部などが頻繁にバス2を使用する場合、バスの調停処理のオーバヘッドにより装置全体の処理速度を高めることが困難になってしまう。

【0005】さらに、図2の従来例2では、専用の画像データをメモリにアクセスするためのバスを複数持たないため、並列で画像データを処理することができない。例えば、画像処理を行う対象データを共有メモリから画像処理部に供給するのと並行して、処理結果データを画像処理部から共有メモリに保持することはできない。このため、従来例2の技術では、処理速度が低下してしまう。

【0006】本発明の目的は、従来技術の問題点を克服し、効率的なメモリアクセスによって、複数の画像処理の機能を並列に処理することを可能とし、高速に画像処理を行うことのできる画像処理装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明は、CPUの主メモリと画像メモリとを共有メモリにより共有して複数の機能処理部により画像処理を実行する画像処理装置であって、画像処理装置が、機能処理部から要求された要求機能の優先度に応じて要求機能を選択する優先機能選択部と、優先機能選択部により選択された機能が必要とするメモリアクセスを優先的に行うデータ転送部と、機能を処理するためのデータを共有メモリと機能を実行する複数の機能処理部との間で一定量保持する複数のデータ保持部とからなるデータ制御部と、データ制御部に対して独立にデータのやり取りを行い、自機能処理部の要求機能を他の機能処理部の要求

機能と並列に処理する機能処理部とを備える構成とすることで達成できる。

【0008】本発明によれば、画像処理機能を実行する画像処理部とCPUの主メモリと共有した共有メモリとの間に、データ保持部を具備することによって、CPUと主メモリを結ぶバスの負荷を軽減することができる。また、本発明によれば、画像処理機能毎にデータ保持部を具備することによって、各機能が並列に動作することが可能となる。

【0009】

【発明の実施の形態】以下、本発明の一実施形態を図面を用いて説明する。

【0010】図1は、本発明の一実施形態にかかわる画像処理装置の原理を示すブロック図である。

【0011】まず、図1を用いて、本実施形態にかかわる画像処理装置の原理を概要と共に説明する。

【0012】画像処理装置全体はCPU1により制御される。CPU1が実行する制御のプログラムや実行に必要なデータは共有メモリ2に記憶されている。ここで、実行に必要なデータとは、例えばフィルタ処理のパラメータや画像データのことである。つまり、CPU1は共有メモリにアクセスし、必要なデータをリード/ライトすることにより画像処理装置の制御を行う。画像処理装置における画像間演算処理や映像の入出力処理といった画像処理機能は、画像間演算処理を機能処理部5で映像の入出力処理を機能処理部7で機能を分担して行い、それぞれの機能処理部5、7で独立に実行される。各機能処理部5、7が処理を実行する場合、機能処理部5、7からは画像処理を実行する際の要求信号を信号線6、8を介して優先機能選択部30に送り、共有メモリ2への画像データのアクセスを要求する。各機能処理部5、7から要求を受けた優先機能選択部30は、各機能処理部5、7が実行する機能の予め設定された優先順位に基づき実行する優先順位を決定する。そして、優先順位の最も高い機能処理部の機能を実行するように、データ転送部20に信号を送る。データ転送部20では、優先機能選択部30によって選択された機能の処理が実行できるよう共有メモリ2にアクセスして、処理に必要なメモリアクセスを行い、機能処理部5、7で使用する画像データを読み出す。メモリアクセスによって得られた前述の画像データは、データ保持部40、41に格納され機能処理部5、7に供給される。尚、以下の説明では、データ転送部20、優先機能選択部30、データ保持部40、41をまとめてデータ制御部4とする。

【0013】本発明の実施形態の原理によると、データ保持部40、41によって、機能処理部5、7が処理するデータを記憶できるため、記憶されたデータを処理する範囲内であれば、機能処理部5、7は並列に処理を実行することが可能である。このため、効率的にデータをデータ保持部40、41に記憶させることができ装置全

体としての処理速度の向上が可能となる。

【0014】次に、具体的な発明の一実施形態を図3に示す。

【0015】以下、図3で示した一実施形態を詳細に説明する。

【0016】図3で説明する一実施形態は、画像処理装置の機能として、画像処理に使用する画像データの入力を制御する映像入力部60と、モニタなどの映像表示部への画像データの出力を制御する映像出力部70と、複数の画像処理機能を保持した画像処理部80、90を備えている。処理される画像データは、カメラなどの画像取得部から映像入力部60に入力され、データ制御部4を介して共有メモリ2に記憶される。画素変換、画像間演算、エッジ強調、特徴量抽出、画像間パターンマッチングなどの画像処理は、共有メモリ2に記憶されている画像データに対して画像処理部80、90で行われる。また、各画像処理機能の制御は、機能制御部50を介してCPU1によって制御される。このとき、本実施形態におけるバス3の調定処理は、CPU1とデータ制御部4のみが行い、映像入力部60、映像出力部70、および画像処理部80、90はバス3の調定処理を行わない。これによって、本発明の実施形態では、バス3における調定処理の負荷が軽減されているため、装置全体の処理速度を向上することが可能である。また、各画像処理を実行する処理部の各々が、バス3の制御を行うデータ制御部4に並列に接続されているため、データ制御部4以降の処理を並列に実行することができる。尚、図3の機能制御部50、データ制御部4、画像処理部80、90でプロセッサ10を構成しているが、このプロセッサ10に映像入力部60、映像出力部70を加えたものをプロセッサとして構成することも考えられる。

【0017】図3で説明する一実施形態の画像データについて図4を用いて詳細に説明する。

【0018】本実施形態では、画像処理に使用されるデータのビット幅を8ビットとしている。そのため、映像入力部60から入力される画像データや、画像処理部80、90に供給される画像データのビット幅を8ビットとして以降の説明を行う。

【0019】まず、画像処理に使用されるデータの論理的なデータ配列を図4(1)に示す。図中の $f(x, y)$ は、座標値 (x, y) での画像データの値を示している。次に、図4(1)で示した画像データが、共有メモリ2にどの様に格納されているかについて説明する。本実施形態で使用する共有メモリ2は、ビット幅(ビットの深さ)が32ビットのものを使用している。そのため、本実施形態では、図4(2)に示すように、共有メモリ2の一つのアドレスに、4画素の画像データを統合して格納している。よって、本実施形態では、1回(1クロック)のメモリアクセスで4画素の画像データにアクセスすることができる。この方式によれば、1画素の

画像処理を1クロックで行うことができる画像処理装置を考えた場合、バス3の転送能力は、画像処理能力の4倍と考えることができる。本実施形態では、このことを用いて効率的に画像データを共有メモリ2からデータ保持部40、41へ転送している。また、本実施形態では、優先機能選択部30における機能の優先順位を優先度の高い順に

映像入力処理>映像出力処理>画像演算処理

としている。この優先順位は、状況に応じて変えることも勿論可能であり、要は各処理に対して処理優先順位を付けているということである。

【0020】次に、図3～図6を用いて、実際の画像処理を想定し本実施形態を詳しく説明する。

【0021】図4(2)に示した形式で共有メモリ2に記録されている画像データに対し、画面Aと画面Bとの画像間の加算処理を行う場合について説明する。本実施形態では、画像間の加算処理を行う回路は、画像処理部80が具備している。

【0022】まず、画像間の加算処理を行う場合の画像処理部の概要について説明する。

【0023】CPU1は、機能制御部50を介して、画像処理部80が加算処理を実行できるように設定する。ここで、画像処理部80は、画像間加算処理、画像間減算処理などの画像処理機能をレジスタ設定によって切り替えることができるものである。そして、画面Aの画像データaを信号線83から、画面Bの画像データbを信号線84からそれぞれ供給すると、画像処理部80は、画像データaと画像データbの加算処理を行い、処理結果である画像データrを信号線85に出力する。このとき、信号線83、84には、画像データa、bと共に、転送する画像データが有効であることを示す画像データ有効信号を画像処理部80に供給している。画像処理部80は、この画像データ有効信号が示す有効データのみ処理する。本実施形態における画像処理部80は、処理対象の二つの画像データa、bを並列に供給することができるだけでなく、処理結果の画像データrもデータの供給と並列に出力されるため、効率的な画像処理を行うことができる。尚、このときのタイミングチャートを図5に示す。このタイミングチャートの詳しい動作内容については後述する。

【0024】次に、画像データa、bが、画像処理部80に供給されるまでの動作について説明する。

【0025】CPU1は、画像データa、bを画像処理部80に供給するために必要な情報、即ち、共有メモリ2における画像データa、bが存在するアドレス空間情報、加算処理を行うデータ数の情報、処理結果データrを記憶する共有メモリ2におけるアドレス空間情報をデータ転送部20に信号線51を介して設定する。この共有メモリ2へのアクセス情報の設定が終了した後、CPU1は、画像処理部80に加算処理が行えるように設定

する。この設定は、画像処理部80内部にある起動レジスタにビットを立てることによって行われる。画像処理部80は、加算処理の実行を行うために、図6の優先機能選択部30に信号線82を介してデータの要求信号を送る。優先機能選択部30は、画像処理部80からの要求信号を受け取ると、図示しないレジスタに画像処理部80からの要求信号がある旨のビットを立て、このレジスタ中に立てられた画像処理部のうちで優先度の高いものから共有メモリ2へのアクセスを行うように制御を行う。尚、この優先機能選択部30の処理については、上記方式の他に、各画像処理部からの要求信号を受け取ると、受け取った画像処理部以外の画像処理部からの要求信号がないかどうかを調べ、優先度を比較して優先順位の制御を行うことが考えられる。例えば、画像処理部80以外からの要求信号があれば、さらにその画像処理部が画像処理部80よりも優先順位が高い要求かどうかを調べ、画像処理部80が他の画像処理部よりも優先順位が高い場合や他の画像処理部からの要求信号がない場合には、優先機能選択部30は、信号線31を介して、データ転送部20に画像処理部80が要求するデータを取得するための共有メモリ2へのアクセスを許可する。まず、画像データaの共有メモリ2へのアクセスが行われ、画像データaはデータ保持部C120に一時記憶される。次に、画像データbの共有メモリ2へのアクセスが行われ、画像データbはデータ保持部D130に一時記憶される。画像データbの共有メモリ2からデータ保持部D130への転送が終わると、データ保持部C120とデータ保持部D130とから、それぞれ画像データaと画像データbとが画像処理部80に供給される。そして、画像処理部80で処理された処理結果データrは、画像データa、bの供給から規定されたクロック数後に出力され、データ保持部E140に記憶される。記憶された処理結果データrは、データ転送部20を介して、共有メモリ2に記録される。

【0026】上記動作のタイミングチャートを図5に示す。図5に示すように、画像データa0～a39およびb0～b39は、二度に分割されて転送されている。これは、データ保持部C120およびD130の容量が20バイトの場合を想定したためである。この場合、所望の画素数の加算処理を実行するためには、複数回上記の動作を繰り返す必要がある。このような図5に示したタイミングチャートの動作は、図7に示すフローチャートによって制御される（このフローチャートの制御は、データ転送部20に付加された回路で実行される）。本実施形態によれば、バス3を介してデータを転送する際に、バス3の能力の最高性能でデータ保持部120、130にデータを転送するため、実際に画像処理部80がデータを使用している期間よりも短い期間（転送量とバス3の転送能力から計算できる最短期間）だけバス3を占有する。バス3が開放されている場合、映像入出力処

理などの他の画像処理にバス3を使用することが可能となり、装置全体の処理速度の向上が可能となる。尚、ある画像処理部からの要求により、バスを使用しているが、この場合バスはある一定期間画像処理部のために開放されているものであり、バス権を要求した画像処理部の要求が終了した後でも、この一定期間内に別の画像処理部からの共有メモリへのアクセスの要求があれば、バス権取得のためのやり取りなしに共有メモリへのアクセスを行うことができる。尚、このバス権の調停処理は、図示していないがデータ制御部4のバス調停部により行っている。図5では、映像出力処理の場合も同時に示している。ここでは、映像系の動作クロックCLK3が、バス3の動作クロックCLK1や画像処理部の動作クロックCLK2に比べ遅く設定されている。これは、映像系の動作周波数が12.5MHzもしくは25MHz程度と低速であるためである。しかし、本実施形態によれば、映像出力の場合においても、データ保持部B110までバス3の転送能力の最高性能で転送するため、バス3を占有する期間が最短となる。

【0027】上記実施形態では、データ保持部120、130、140のデータ保持容量を小さいバイト数で実現している。これは、データ保持部がバスのデータ転送能力とデータ処理能力との能力の違いを吸収するのに十分な容量があれば良いためである。本実施形態では、バス3のデータ転送能力の方がデータを処理する能力よりも高いため、バス3の最高性能を引き出すためのデータ保持部の容量は小さくて良い。

【0028】上記実施形態では、データ保持部120、130、140のデータ保持容量を20バイトとしたが、別の実施形態において20バイトを超える容量を具備してもよい。

【0029】また、上記実施形態では、データ制御部4がデータ保持部120、130、140を具備しているが、別の実施形態では、映像入力部60、映像出力部70、画像処理部80、90で具備しても構わない。

【0030】さらに、上記実施形態では、有効データが供給されている間、もしくは、有効データが出力されている間以外の期間、画像処理部80への動作クロックCLK2の供給が行われていない。これは、消費電力を低くするための処理である。そのため、別の実施形態において、動作クロックの制御を行う必要はない。

【0031】ここで、図8を用いてデータ転送部20の詳細を説明する。画像処理部80が必要としている画像データa、b、rのデータの情報（アドレス空間情報、処理データ数）は、画像データaに関してはメモリアクセス制御部220に、画像データbに関してはメモリアクセス制御部230に、そして、処理結果の画像データrに関してはメモリアクセス制御部240に設定される。本実施形態では、画像処理に必要な画像データa、b、rそれぞれに対し、一つずつメモリアクセス制御部

C220、D230、E240が装備されている。それぞれのメモリアクセス制御部C220、D230、E240に設定する情報は、CPU1から信号線53を介して行われる。次に、優先機能選択部30で選択された共有メモリ2へのアクセス情報（アクセスが許可された機能を選択する信号）は、信号線31を介してバスインタフェース処理部21に送られ、バスインタフェース処理部21では、許可されたメモリアクセスを実行する。

【0032】画像データaのアクセスを例にとってこのときの動作を説明する。

【0033】まず、バスインタフェース処理部21は、バス3の使用許可を取得し、使用許可が得られたことをメモリアクセス制御部C220に伝える。そして、バスインタフェース処理部21では、共有メモリ2にアクセスするのに必要な信号をメモリアクセス制御部C220の情報（少なくとも必要なメモリのアドレス情報とメモリ範囲の情報を含む）に従って発生し、共有メモリ2から画像データaを読み出す。読み出された画像データaは、信号線121を介してデータ保持部C120に記憶される。

【0034】本実施形態によれば、バスインタフェース部21がバス3の使用権を取得している期間は、バス3の使用許可を取得する処理を行う必要がない。例えば、画像データaを取得した後、バス3の調定処理を行わずに別の画像データbを取得することができる。また、他の例では、画像演算処理中に映像入力処理による割り込み等が入った場合、バスインタフェース部21はバス3の使用権を取得しているため新たに使用許可を取得する処理（調定処理）は行わない。この様に、バスの調定処理の回数を減らすことによって効率的にバス3を使用し、装置全体の処理速度を向上させることができる。特に、データ保持部A100～F150の記憶容量が小さい場合や、優先順位の高い処理の割り込みが頻繁に発生する場合に本実施形態は有効である。

【0035】本実施形態の場合、共有メモリ2のビット幅（ビットの深さ）、バス3のビット幅、そして、データ保持部A100～F150に記憶されるビット幅は全て32ビットであるが、映像入力部60、映像出力部70、画像処理部80、90に入出力される画像データは8ビットである。

【0036】次に、図9、図10を用いてデータのビット幅の制御について説明する。

【0037】共有メモリ2からデータ保持部A100～F150までのデータ転送は、バス3の転送能力を最大限に使用するために32ビットで行う。まず、画像処理部80が使用するデータ保持部C120でのデータ転送を図9を用いて説明する。図9（1）に示すように、信号線121を介して送られるデータは、32ビット幅でデータ保持部C120に記憶される。このときの、回路の動作クロックは、バス3の動作クロックと同一のCLK1である。

しかし、データを信号線83を介して画像処理部80に供給する場合は、画像処理部80の動作クロックと同様のCLK2を使用して、画像処理部80が処理できる8ビット幅（1画素）のデータをシリアルに供給する。

【0038】上記実施形態では、共有メモリ2から読み出した画像データを全て画像処理に使用する場合の変換について説明したが、別の実施形態では、全ての画像データを使用する必要はない。つまり、図9（2）に示すように、画像を1/2に縮小した状態で画像処理を行う場合、データ保持部C120に記憶された画像データの一部だけを画像処理部80に供給してもよい。また、図9（3）に示すように、画像を1/8に縮小した状態で画像処理を行う場合、共有メモリ2のアクセスを半分にして、図9（2）で示した制御と同様の制御を行えば可能である。この場合、メモリアクセス制御部C220に、共有メモリ2へのアクセスを制御する回路を付加することで所望の処理が達成される。以上のように、共有メモリ2へのアクセス制御と、データ保持部から出力するときの制御で、任意の縮小率を設定することも可能である。

【0039】次に、映像入力部60や画像処理部80からデータ保持部A100、E140にデータを記憶する場合について映像入力処理を例にとって図10を用いて説明する。

【0040】データ入力時には、映像入力部60の動作クロックと同一のクロックCLK3に同期して動作し、図10に示したデータ記録信号が有効になった箇所でデータ保持の処理を実行する。データ出力時には、バス3の動作クロックと同一のCLK1に同期して、共有メモリ2へ画像データの転送を行う。

【0041】次に、優先制御選択部30の動作について、画像処理を実行しているときに、他の処理の実行要求が来た場合について説明する。

【0042】ここでは、画像処理部80が実行要求を出しているときに、優先度が高い映像入力処理部60から実行要求が来た場合について図11を用いて説明する。

【0043】画像処理部80よりも優先度が高い画像処理部からの要求が来た場合、優先度の低い画像処理部80のための共有メモリアクセスは、即座に中断される。この時、中断されたときの状態をメモリアクセス制御部C210は保持しておき、優先度の高い処理のための共有メモリアクセスが終了した後、画像処理部80のための共有メモリアクセスを再開する。

【0044】以上のように、本発明の実施形態では、いかなる状態でもバス3を画像処理が使用する場合、バス3の転送能力の最高性能でデータ転送を行うことができる。また、各画像処理においても、データ保持部に所望のデータが存在すれば、バス3の状態に関係なく、他の処理機能の状態にも影響を受けずに処理を実行できるた

め、装置全体としての処理速度の向上を図ることができる。

【0045】本明細書において、一つの処理部の機能が二つ以上の物理的手段により実現されても、二つ以上の処理部の機能が一つの物理的手段により実現されてもよい。また、本発明によれば、画像処理機能毎にデータ保持部を具備することによって、各機能が並列に動作することが可能となる。

【0046】さらに、本発明によれば、画像処理機能の処理能力が、CPUと主メモリを結ぶバスの転送能力よりも低い場合でも、バスの転送能力を最大限使用することでバスの効率的な利用を実現することができ装置全体の処理速度の向上を図ることができる。

【0047】本発明によれば、装置全体の処理速度の向上を図ることができる。

【0048】

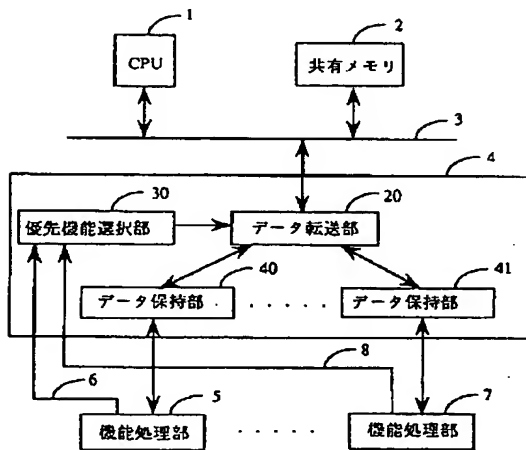
【発明の効果】本発明によれば、画像処理機能を実行する画像処理部とCPUの主メモリと共有した共有メモリとの間に、データ保持部を具備することによって、CPUと主メモリを結ぶバスの負荷を軽減することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態における構成を説明した図である。

【図1】

図 1



【図2】従来例を説明した図である。

【図3】本発明の一実施形態における全体構成を示したブロック図である。

【図4】本発明の一実施形態における共有メモリでのデータの保管方式を説明した図である。

【図5】本発明の一実施形態における動作を示したタイミングチャートを示した図である。

【図6】本発明の一実施形態におけるデータを制御する箇所を示したブロック図である。

【図7】本発明の一実施形態におけるデータ転送の動作を説明しているフローチャートである。

【図8】本発明の一実施形態におけるメモリアクセスを制御する箇所を示したブロック図である。

【図9】本発明の一実施形態におけるデータのビット幅の変換を説明した図である。

【図10】本発明の一実施形態におけるデータのビット幅の変換を説明した図である。

【図11】本発明の一実施形態における優先機能制御を説明した図である。

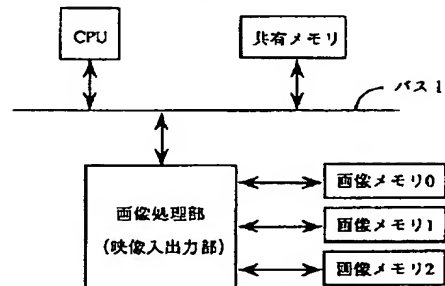
【符号の説明】

1…中央演算装置、2…共有メモリ、3…システムバス、4…データ制御部、5、7…機能処理部、6、8…機能実行要求信号、20…データ転送部、30…優先機能選択部、40、41…データ保持部。

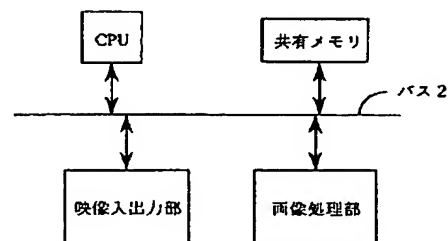
【図2】

図 2

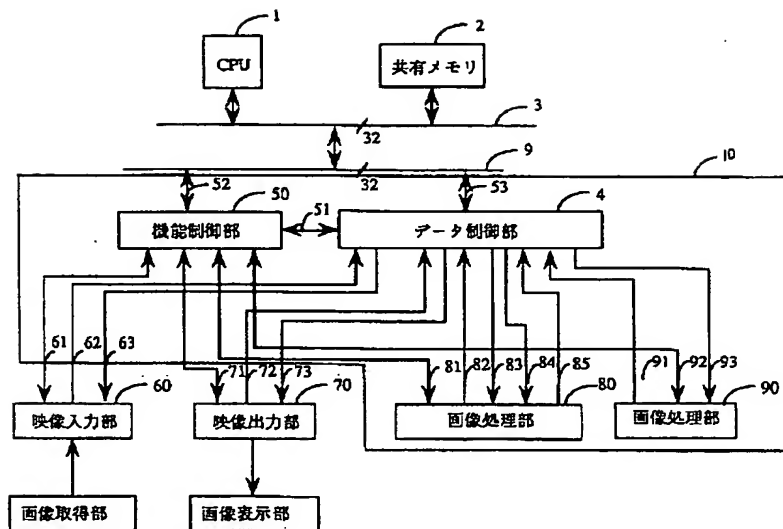
(従来例1)



(従来例2)



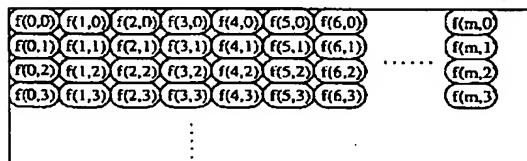
【図3】



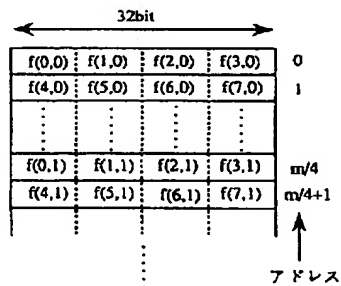
【図4】

図 4

(1) 画像データ配列

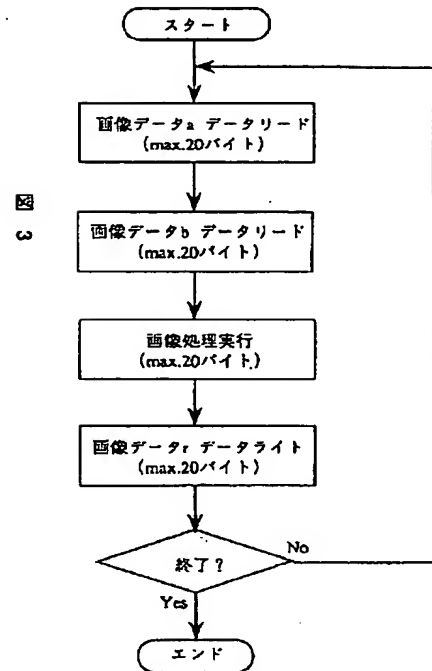


(2) 物理メモリ空間



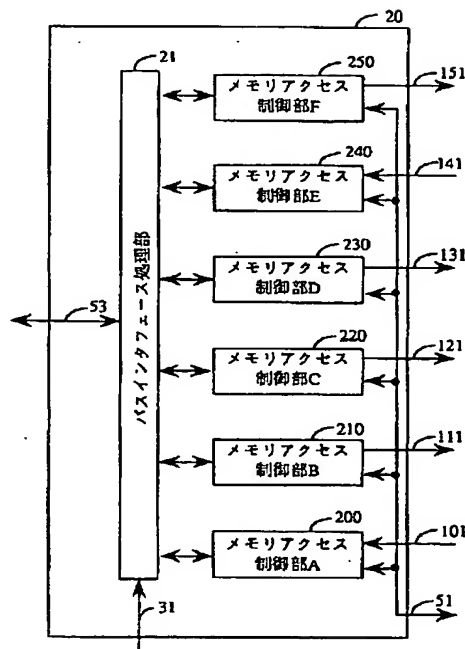
【図7】

図 7

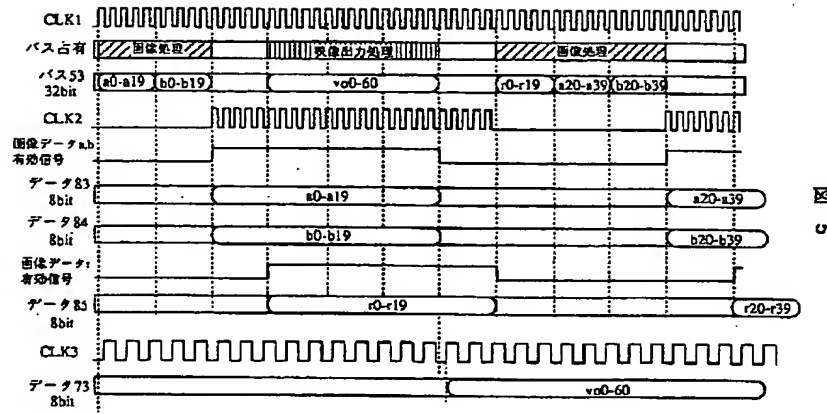


【図8】

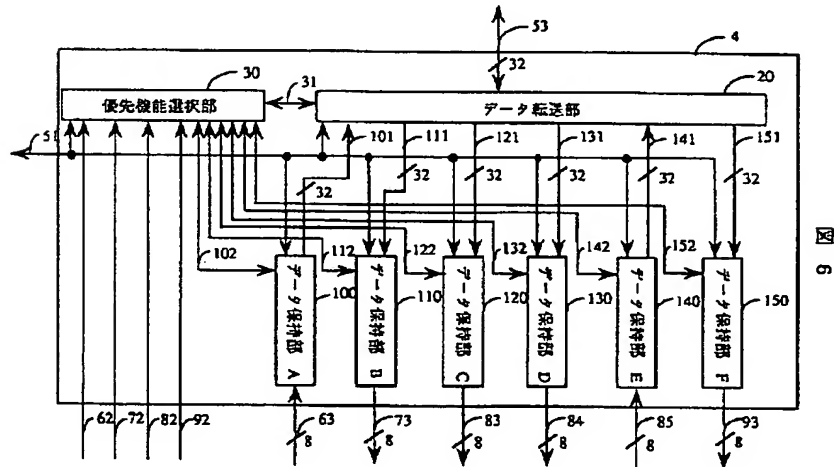
図 8



【図5】

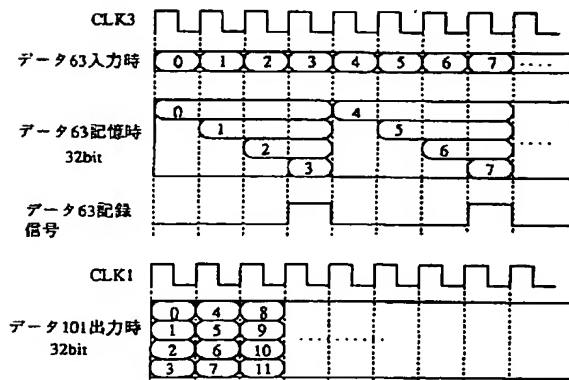


【図6】



【図10】

図 10



9

[illegible]

CLK1

データ121記憶時

0	4	8	12	16	20				
1	5	9	13	17	21				
2	6	10	14	18	22				
3	7	11	15	19</					

CLK1

データ121記憶時
32bit

0	8	16	24	32	40	48	56
1	9	17	25	33	41	49	57
2	10	18	26	34	42	50	58
3	11	19	27	35	43	51	59

CLK2

データ83出力時

0	8	16	24	32	40	48	56	...
---	---	----	----	----	----	----	----	-----

[illegible]

茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内